基于Telescopic结构的单级全差分OTA设计

**樊子辰 电子工程系 2015011065**

**刘居正 物 理 系 2015012144**

**谭淞耀 微纳电子系 2015011065**

**指导教师：池保勇**

**2018年6月29日**

# 电路结构

## 主体放大电路

Telescopic结构。Telescopic是单级高增益的OTA结构，该结构增益高，噪声小，而且仅引入一个极点，具有优秀的频响特性。但是该结构的主要缺点在于输出摆幅较小，因此为了降低动态范围，需要尽量压缩晶体管的过驱动电压。与两级OTA相比，telescopic的支路较少，消耗的功率更小。而且只引入一个极点，频响特性很好，增益带宽积较高，无需引入补偿电容。采用折叠cascade结构虽然可以增大输出摆幅，但是增幅不明显，而且噪声会增大，对于动态范围的改善也并没有显著的帮助。故综合上述原因，采取telescopic结构作为完成这次project的OTA结构。

## 偏置电路：

直流工作点的偏置采用简单电流镜结构，偏置电流镜采用长沟道晶体管，达到比较精准的电流镜像，而cascade 晶体管的偏置电压则由内部的和两个晶体管产生，其中工作在线性区。

## 共模反馈电路：

采用基本共模反馈电路结构，稳定输出共模电压，具体电压根据仿真结果计算确定，从而最大化输出摆幅。

# 设计流程与参数计算

## 设计流程

本次设计从动态误差以及建立时间的角度出发，由此计算出所需要的单位增益带宽和所需要的晶体管跨导。接下来，根据动态范围的要求，再依据Telescopic结构，我们设定的值为5-15之间（对应于晶体管的过驱动电压为0.13V-0.4V之间），通过已经获得的可计算出对于需要的支路电流。根据支路电流，就可以计算出电流镜中输入电流源所需的电流对应的各晶体管的宽度。而根据的图形则可以根据电流和晶体管跨导求出各晶体管的宽度

接下来，根据静态误差计算出所需要的环路增益以及开环增益，从而确定所需要的晶体管长度

至此，已经完成了对三个设计要求的满足。而关于噪声，如果完成上述设计后，如果仿真结果表明噪声过大，则采用更大的晶体管重新迭代设计，直到满足设计要求为止。

## 参数计算（预计算）

首先根据动态误差和建立时间确定单位增益带宽，根据公式：

可以得到，当动态误差要求为0.05%，建立时间要求为10ns时，。由此可以得到

由

可以得到

其中，

这样就可以得到。在这里我们不妨假设的，可以计算出晶体管静态工作电流为。进一步，我们会选取不同的进行仿真验证，对于所需要的关系如下表格所示：

对于NMOS，我们有:

|  |  |  |
| --- | --- | --- |
| L/um | Id/W(gm/id=10) | Id/W(gm/id=15) |
| 0.4 | 9.167421 | 3.356802 |
| 0.45 | 7.972992 | 2.902555 |
| 0.5 | 7.054661 | 2.552415 |
| 0.55 | 6.323377 | 2.275296 |
| 0.6 | 5.727374 | 2.051101 |
| 0.65 | 5.232433 | 1.867454 |
| 0.7 | 4.815005 | 1.71341 |
| 0.75 | 4.458337 | 1.582443 |
| 0.8 | 4.150174 | 1.469794 |
| 0.85 | 3.88134 | 1.371916 |

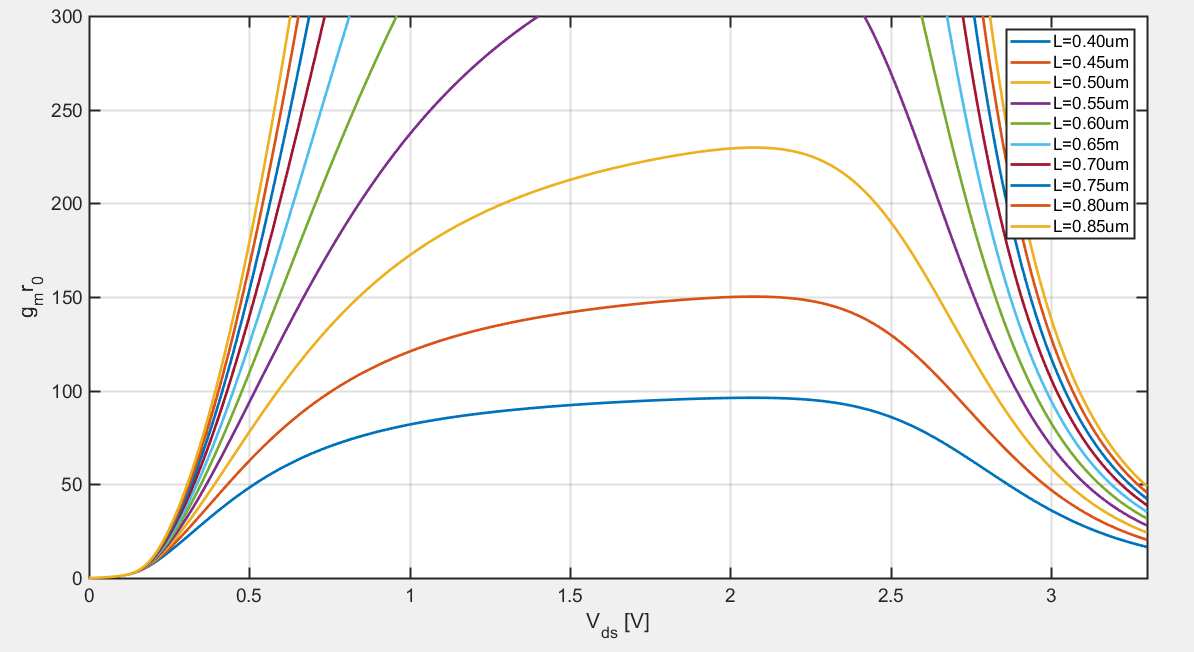
对于PMOS，我们有:

|  |  |  |  |
| --- | --- | --- | --- |
| L/um | Id/W(gm/id=5) | Id/W(gm/id=10) | Id/W(gm/id=15) |
| 0.7 | 6.392381 | 1.453017 | 0.361919 |
| 0.75 | 5.858027 | 1.325071 | 0.330752 |
| 0.8 | 5.407195 | 1.218678 | 0.304304 |
| 0.85 | 5.021578 | 1.128242 | 0.281858 |
| 0.9 | 4.687877 | 1.050402 | 0.262569 |
| 0.95 | 4.396193 | 0.982681 | 0.245732 |
| 1 | 4.139005 | 0.923215 | 0.230909 |
| 1.05 | 3.910495 | 0.870573 | 0.217761 |
| 1.1 | 3.706087 | 0.823641 | 0.206019 |
| 1.15 | 3.522136 | 0.781531 | 0.195742 |

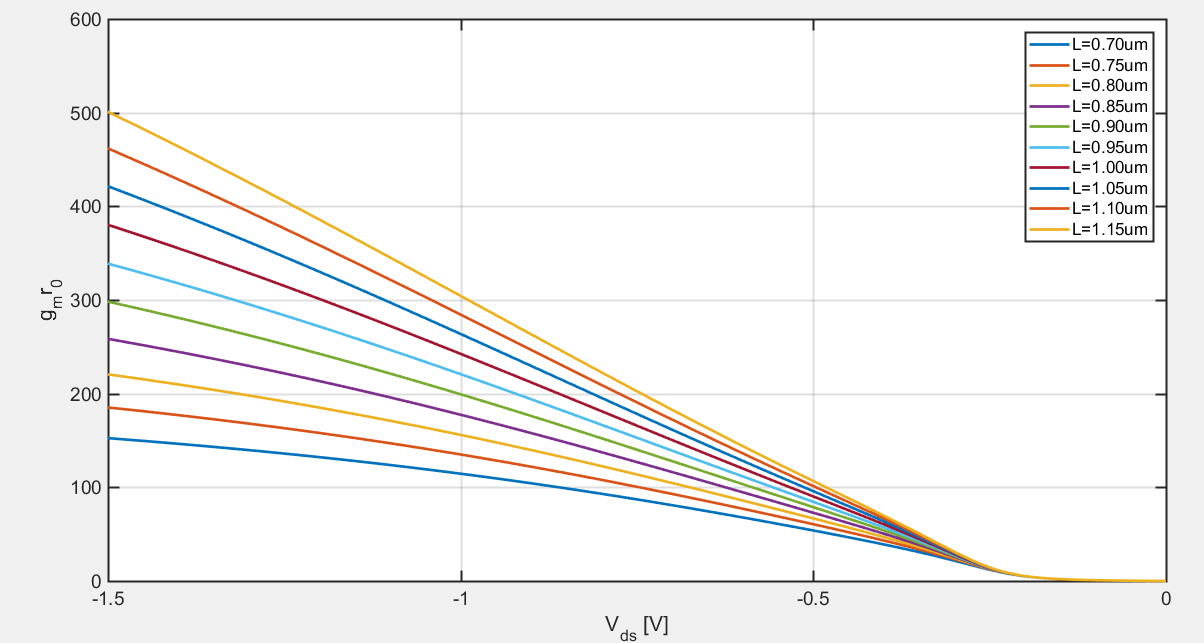
接下来需要计算各晶体管的长度。首先用Hspice绘制出nmos’和pmos晶体管的本征增益关于晶体管沟道长度L以及源漏电压之间的关系曲线，如下图所示：

gmr0-Vds与L的关系图像：

NMOS:



PMOS:



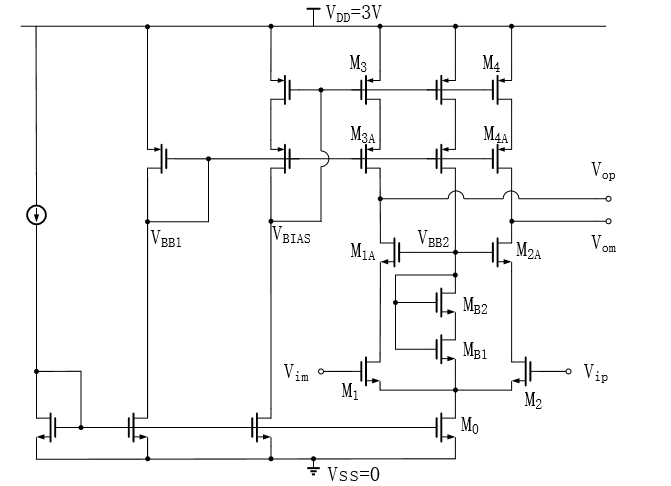
根据静态误差要求，可以得到。

由

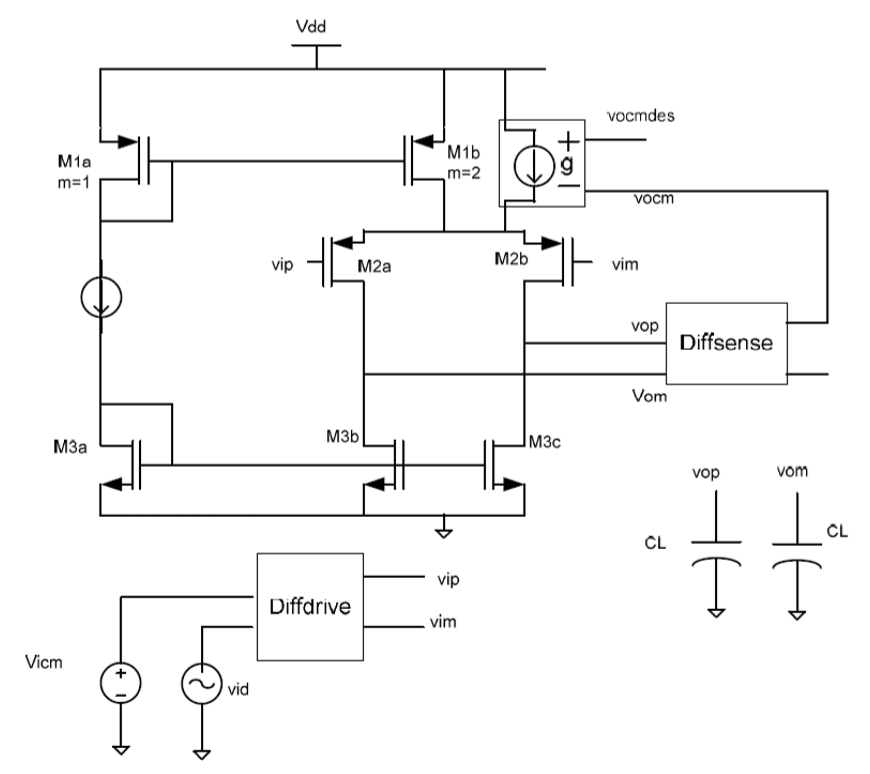
可以得到，从上面两图中可以得出晶体管沟道长度约为(先估计，仿真后，根据仿真结果调整)

从而完成整个设计的计算过程。

最终设计结构：



共模反馈电路采用基本电流反馈：



# 波特图仿真

最后仿真