基于Telescopic结构的单级全差分OTA设计

**樊子辰 电子工程系 2015011065**

**刘居正 物 理 系 2015012144**

**谭淞耀 微纳电子系 2015011065**

**指导教师：池保勇**

**2018年6月29日**

# 电路结构

## 主体放大电路

Telescopic结构。Telescopic是单级高增益的OTA结构，该结构增益高，噪声小，而且仅引入一个极点，具有优秀的频响特性。但是该结构的主要缺点在于输出摆幅较小，因此为了降低动态范围，需要尽量压缩晶体管的过驱动电压。与两级OTA相比，telescopic的支路较少，消耗的功率更小。而且只引入一个极点，频响特性很好，增益带宽积较高，无需引入补偿电容。采用折叠cascade结构虽然可以增大输出摆幅，但是增幅不明显，而且噪声会增大，对于动态范围的改善也并没有显著的帮助。故综合上述原因，采取telescopic结构作为完成这次project的OTA结构。

## 偏置电路：

直流工作点的偏置采用简单电流镜结构，偏置电流镜采用长沟道晶体管，达到比较精准的电流镜像，而cascade 晶体管的偏置电压则由内部的和两个晶体管产生，其中工作在线性区。

## 共模反馈电路：

采用基本共模反馈电路结构，稳定输出共模电压，具体电压根据仿真结果计算确定，从而最大化输出摆幅。

# 设计流程与参数计算

## 设计流程

本次设计从动态误差以及建立时间的角度出发，由此计算出所需要的单位增益带宽和所需要的晶体管跨导。接下来，根据动态范围的要求，再依据Telescopic结构，我们设定的值为5-15之间（对应于晶体管的过驱动电压为0.13V-0.4V之间），通过已经获得的可计算出对于需要的支路电流。根据支路电流，就可以计算出电流镜中输入电流源所需的电流对应的各晶体管的宽度。而根据的图形则可以根据电流和晶体管跨导求出各晶体管的宽度

接下来，根据静态误差计算出所需要的环路增益以及开环增益，从而确定所需要的晶体管长度

至此，已经完成了对三个设计要求的满足。而关于噪声，如果完成上述设计后，如果仿真结果表明噪声过大，则采用更大的晶体管重新迭代设计，直到满足设计要求为止。

## 参数计算（预计算）

首先根据动态误差和建立时间确定单位增益带宽，根据公式：

可以得到，当动态误差要求为0.05%，建立时间要求为10ns时，。由此可以得到

由

可以得到

其中，

这样就可以得到。在这里我们不妨假设的，可以计算出晶体管静态工作电流为。进一步，我们会选取不同的进行仿真验证，对于所需要的关系如下表格所示：

对于NMOS，我们有:

|  |  |  |
| --- | --- | --- |
| L/um | Id/W(gm/id=10) | Id/W(gm/id=15) |
| 0.4 | 9.167421 | 3.356802 |
| 0.45 | 7.972992 | 2.902555 |
| 0.5 | 7.054661 | 2.552415 |
| 0.55 | 6.323377 | 2.275296 |
| 0.6 | 5.727374 | 2.051101 |
| 0.65 | 5.232433 | 1.867454 |
| 0.7 | 4.815005 | 1.71341 |
| 0.75 | 4.458337 | 1.582443 |
| 0.8 | 4.150174 | 1.469794 |
| 0.85 | 3.88134 | 1.371916 |

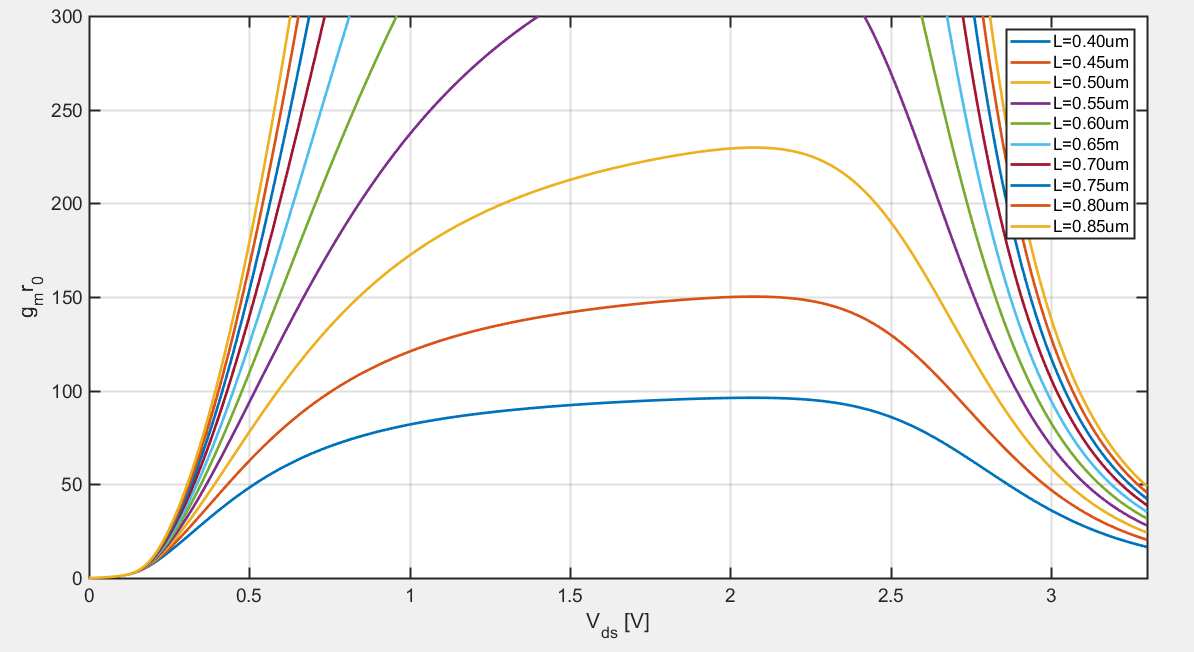
对于PMOS，我们有:

|  |  |  |  |
| --- | --- | --- | --- |
| L/um | Id/W(gm/id=5) | Id/W(gm/id=10) | Id/W(gm/id=15) |
| 0.7 | 6.392381 | 1.453017 | 0.361919 |
| 0.75 | 5.858027 | 1.325071 | 0.330752 |
| 0.8 | 5.407195 | 1.218678 | 0.304304 |
| 0.85 | 5.021578 | 1.128242 | 0.281858 |
| 0.9 | 4.687877 | 1.050402 | 0.262569 |
| 0.95 | 4.396193 | 0.982681 | 0.245732 |
| 1 | 4.139005 | 0.923215 | 0.230909 |
| 1.05 | 3.910495 | 0.870573 | 0.217761 |
| 1.1 | 3.706087 | 0.823641 | 0.206019 |
| 1.15 | 3.522136 | 0.781531 | 0.195742 |

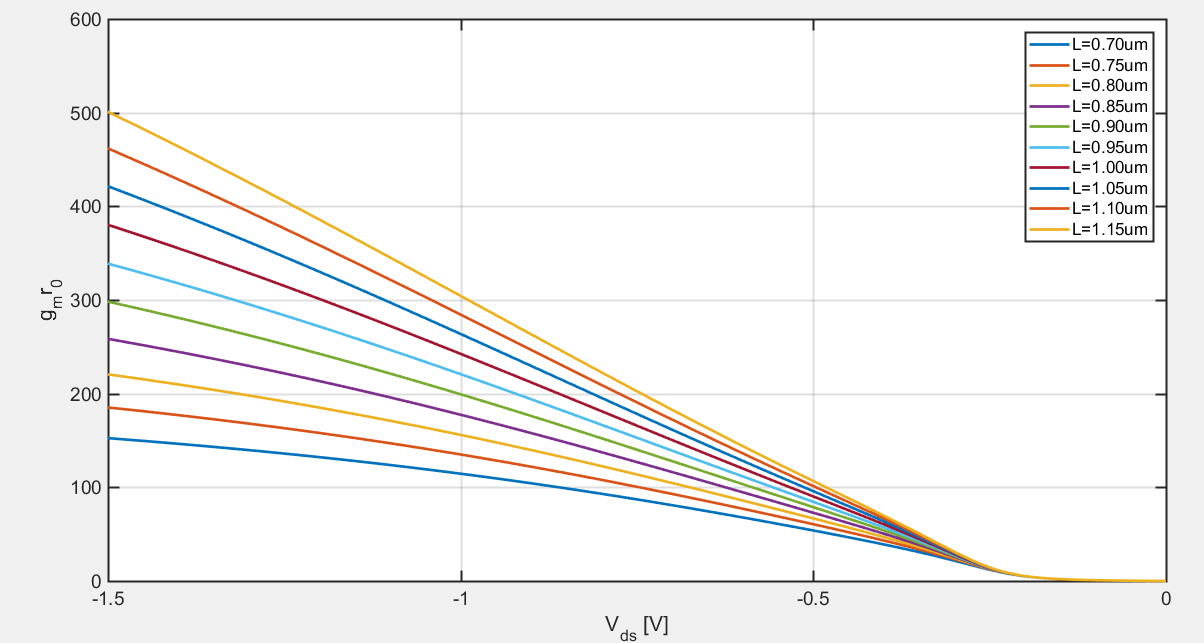
接下来需要计算各晶体管的长度。首先用Hspice绘制出nmos’和pmos晶体管的本征增益关于晶体管沟道长度L以及源漏电压之间的关系曲线，如下图所示：

gmr0-Vds与L的关系图像：

NMOS:



PMOS:



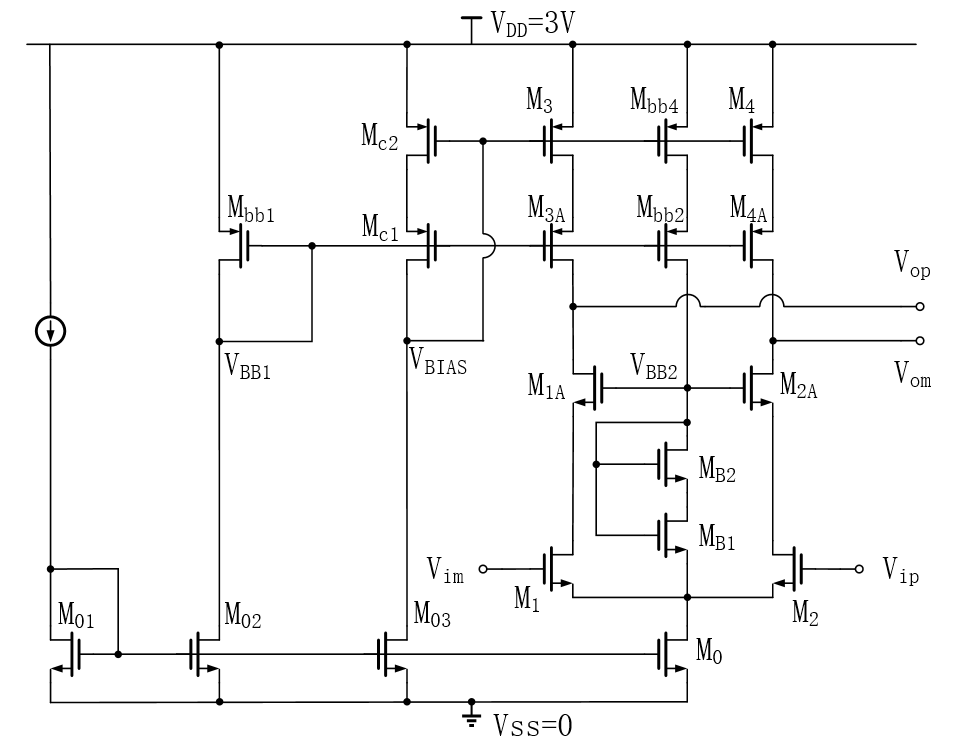
根据静态误差要求，可以得到。

由

可以得到，从上面两图中可以得出晶体管沟道长度约为(先估计，仿真后，根据仿真结果调整)

从而完成整个设计的计算过程。

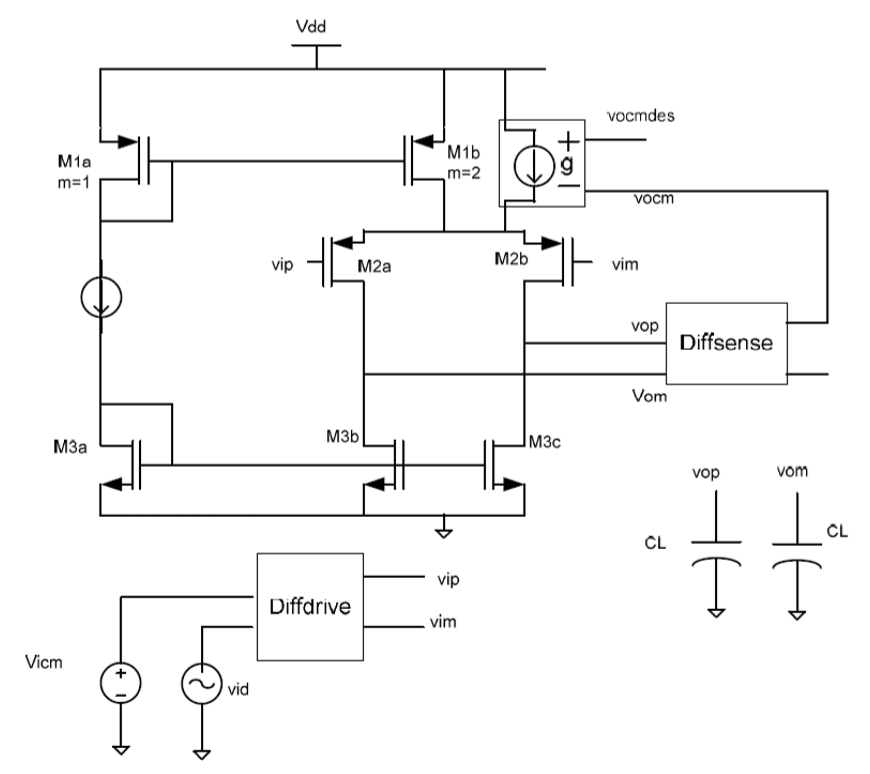
最终设计结构：



晶体管参数表格如下：

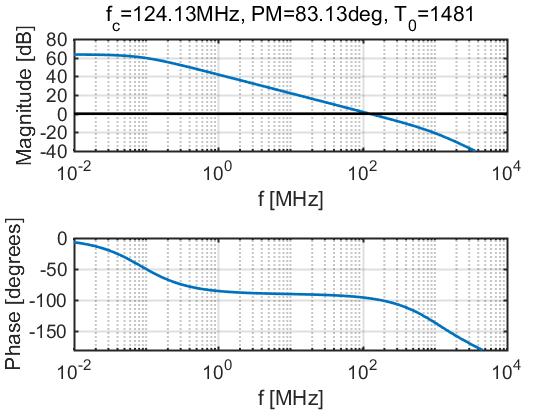
|  |  |  |  |
| --- | --- | --- | --- |
| index | W/um | L/um | M |
| m01 | 100 | 1.1 | 1 |
| mbb1 | 400 | 1.1 | 1 |
| m02 | 400 | 1.1 | 5 |
| mc2 | 400 | 1.1 | 5 |
| mc1 | 400 | 1.1 | 5 |
| m03 | 400 | 1.1 | 5 |
| m3 | 400 | 1.1 | 5 |
| m3a | 400 | 1.1 | 5 |
| m1a | 100 | 0.65 | 10 |
| m1 | 100 | 0.65 | 10 |
| mbb4 | 400 | 1.1 | 2 |
| mbb2 | 400 | 1.1 | 2 |
| mb2 | 100 | 0.65 | 5 |
| mb1 | 50 | 0.65 | 1 |
| m0 | 400 | 1.1 | 12 |
| m4 | 400 | 1.1 | 5 |
| m4a | 400 | 1.1 | 5 |
| m2a | 100 | 0.65 | 10 |
| m2a | 100 | 0.65 | 10 |

共模反馈电路采用基本电流反馈：



# 波特图仿真

最后仿真得到的波特图如下：



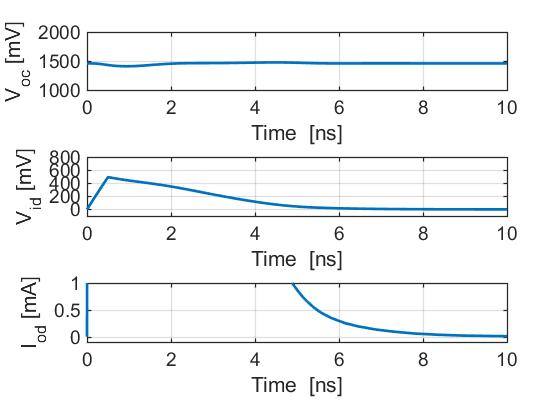
其中仿真得到开环增益为1481，单位增益带宽fc=124.13MHz，相位裕度为83.13°>72°，较好的满足了稳定性要求。

在仿真迭代过程中，因为是单级OTA，虽然有两个极点，但因为副极点距离主极点非常远，可以看做单级点系统。相位裕度接近于90°，系统基本都处于稳定的状态。对于开环增益，可以通过提升晶体管Vds，加大晶体管沟道长度L的方式，提升开环增益。而对于单位增益带宽，可以通过更改外接电容Cs，Cf的方式，或者通过减小晶体管尺寸（从而减小寄生电容的影响）的方式，提升单位增益带宽。从而减小在电路的阶跃响应仿真中的建立时间，以达到要求。

# 电路瞬态响应仿真

## Vod，Vid，Iod仿真结果

Vod，Vid，Iod仿真结果如下：

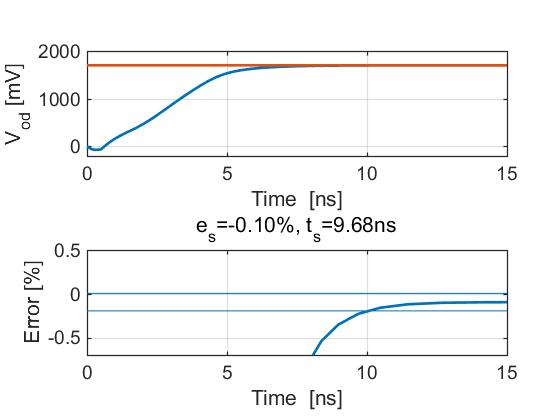
可见Voc一直保持着一个稳定的值不变（稳定与设定值1.45V左右），说明共模反馈机制工作正常。在仿真迭代的过程中，如果共模输出电压不稳定，可能是由于共模反馈所用的gm过小导致，将共模反馈系数gm调大，即可稳定共模输出电压。

## 阶跃响应仿真，动态误差分析

阶跃响应仿真和动态误差仿真如下：

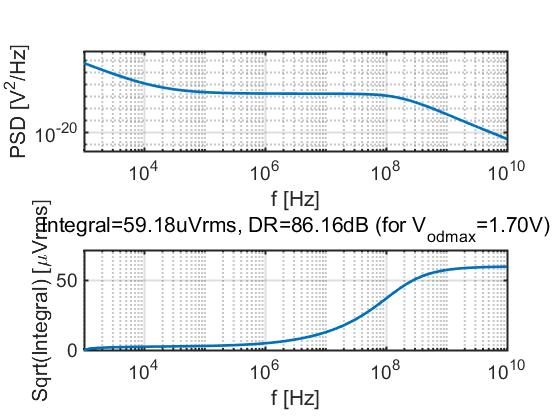
从阶跃响应仿真可以看出，因为晶体管尺寸较大，寄生电容以及外接电容Cs等较大，导致压摆效应较为严重。总体来说，设定的差分输入为摆幅的一半（0.85V），输出正好为最大摆幅（1.7V）的时候，静态误差为0.1%，符合要求，而动态误差小于0.5%的时间为9.68us<10us，符合要求。在仿真迭代的过程中，静态误差与开环增益有关，理论上开环增益达到1000，即可使得静态误差小于0.1%。然而在实际仿真中，需要开环增益大于1000。我分析的原因是1. 在计算公式时采用了近似 2. 我们设定的输出摆幅是直流仿真中增益下降30%的输出电压设定的，然而30%这个值也只是书本中的数据，可能到了摆幅边缘已经有了部分非线性的成分，导致。

而建立时间与单位增益带宽呈现一定的负相关特性，即单位增益带宽越高，建立时间越短。通过增加单位增益带宽的方式，可以减小建立时间，使得符合要求。



# 噪声与输出动态范围仿真

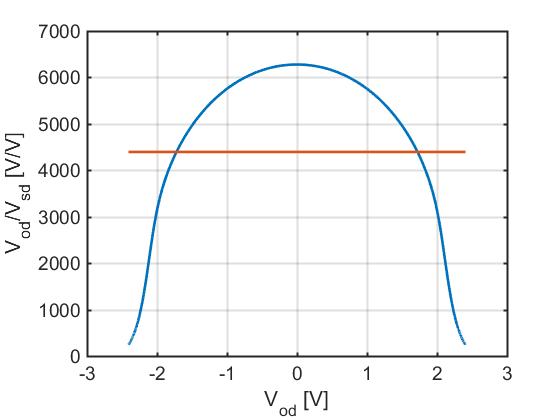
仿真结果如下：



输出动态范围为输出摆幅与输出噪声的比值，从仿真结果看输出动态范围为86.16dB>86dB，符合课程设计要求。其中仿真时设定Vodmax=1.7V为输出最大半差分电压，是在DC仿真中得到的输出范围值。在仿真迭代中发现，可以通过增大输出摆幅和减小输出噪声的方式来增大动态范围。其中增大输出摆幅的方式在下一节中详细给出，而减小输出噪声，可以通过增大晶体管尺寸的方法。晶体管尺寸增大，可以使得噪声减小。

# 输出范围仿真

仿真结果如下：



从图上得到单边摆幅为1.7V，虽然动态范围达到要求，但这样的摆幅数据依然较低，这也是目前的瓶颈之一。关于摆幅的推导：考虑单端电压，在telescopic结构中，输出电压最大值为

Vo|max=VDD-|Vov3,4|-|Vov3A,4A|

最小值为

Vo|min=VBB2-Vtn1A,2A

并且有

Vin,CM-Vtn1,2≤VBB2-VGS1A,2A VBB2|min=Vin,CM-Vin1,2+VGS1A,2A

得到VBB2取值的最小值，它与输入共模有关，而输入共模满足

VDS0=Vin,CM-VGS1,2-VSS≥Vov0Vin,CM|min=VGS1,2+Vov0+VSS

得到输入共模最小值。因此，单边输出的最小值为

Vo|min=VBB2-Vtn1A,2A=VSS+Vov0+Vov1,2+Vov1A,2A

那么差分输出摆幅峰峰值为 Vodpp,max=4×min(Vo|max-VOC,VOC-Vo|min)≤2×(VDD-VSS-|Vov3,4|-|Vov3A,4A|-Vov0-Vov1,2-Vov1A,2A)≈2×(VDD-VSS-5Vov)

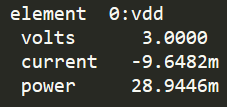
取等号的时候只有 ，对输出共模要求很高。

然而现在的仿真结果，有，按照正常计算输出摆幅应该不止1.7V，而现在按照增益下降30%所得到的输出摆幅为1.7V，这是由于什么原因导致还并不清楚。

提升输出摆幅的方式主要有降低相关晶体管的过驱动电压，可以通过增大晶体管的宽度W来实现，另外还要保证的值处于使得输出摆幅最大的要求值。其中Voc可以通过调节共模反馈的Vref实现，而Vbb2可以通过调节偏置管的宽长比例实现。

# 整体功耗

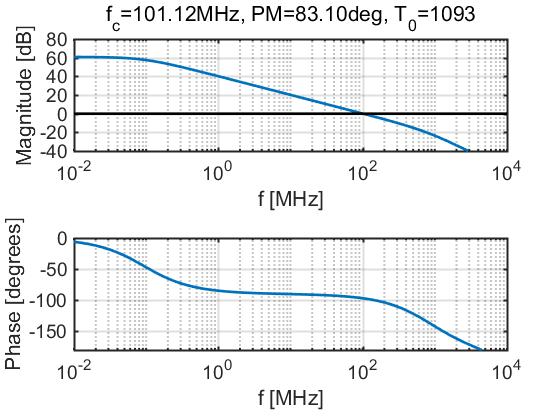
OTA功耗如下：

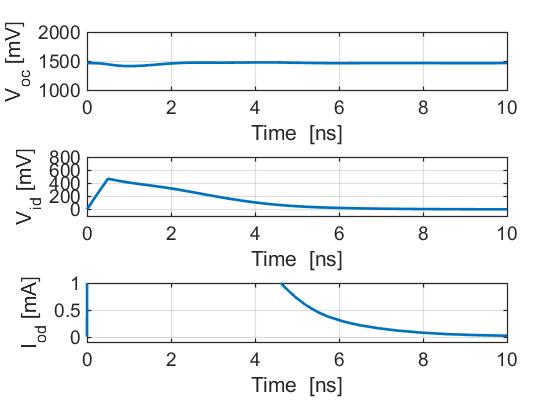
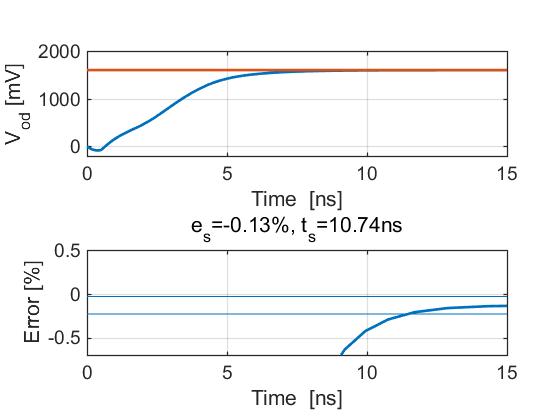


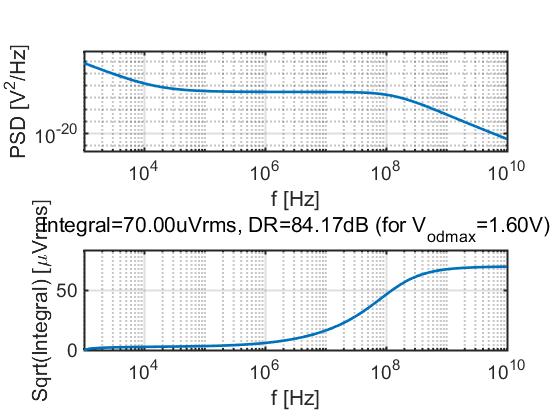
功耗为28.9446mW。

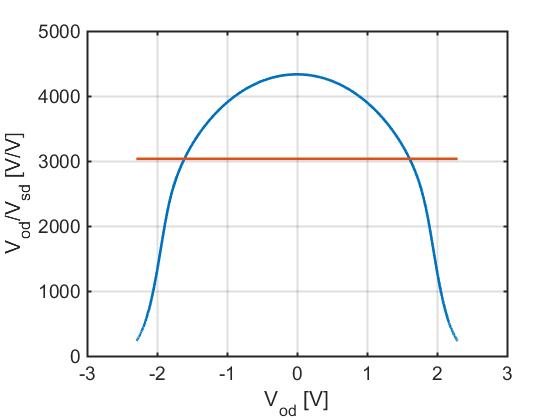
# 工艺角仿真

slow：

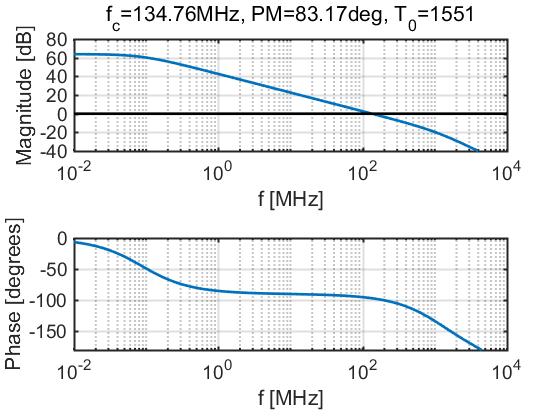


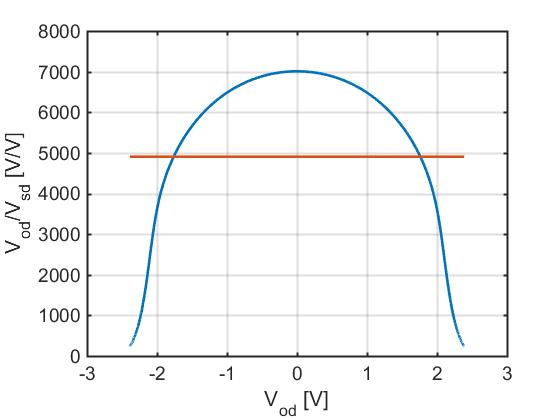
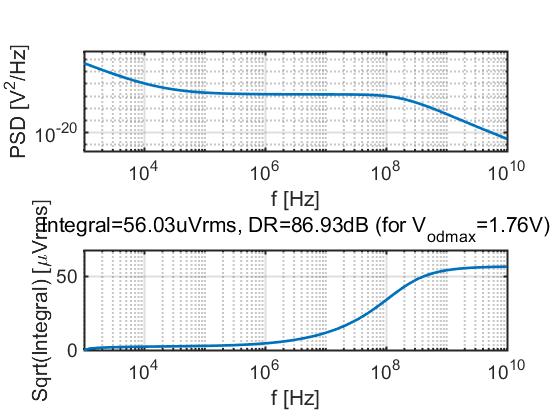
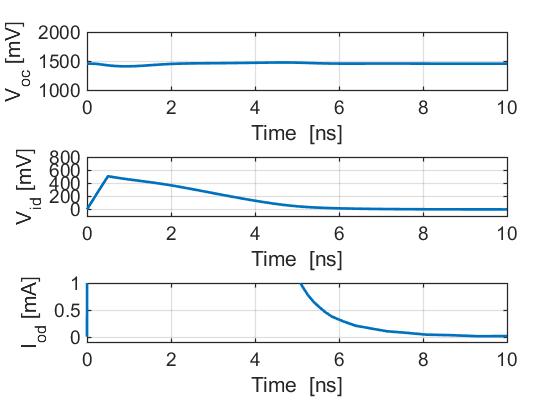
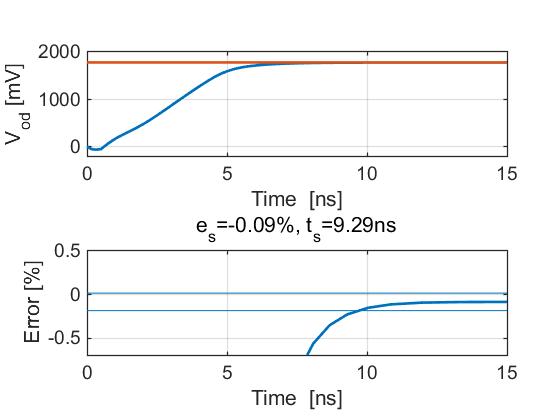






fast：





从仿真结果可以看出，slow的部分数据不满足要求，fast均满足要求。

# 结论

通过本次大作业的学习，我们运用课堂中学到的方法，设计了一个全差分OTA结构，我们采用Telescopic结构，最终实现的OTA性能如下：

|  |  |
| --- | --- |
| **Parameter** | **Specification** |
| Technology | 0.35um CMOS, Nominal Corner |
| Operating Temperature | 25℃ |
| VDD | 3V |
| Power Dissipation | 28.94mW |
| CL | 2p |
| Cs | 8.5p |
| Cf | 4.25p |
| Current Mirror Ratios | 20 |
| CMFB Circuit | Ideal |
| Dynamic Range | 86.16dB |
| Settling Time | 9.68ns |
| Static Settling Error | 0.1% |

通过这次大作业的学习，让我们进一步熟悉了模拟集成电路的设计方法，为我们今后设计模拟集成电路打下了基础。也让我们学会了要静下心来分析每一次迭代出的电路结构，还有什么缺陷，可以如何修改。一遍遍的迭代，最后得到较为理想的结果。